**Área temática:** Ciências Exatas e Naturais /Ciência da Computação

**Desenvolvimento de um acelerador para arquiteturas heterogêneas**

Thomas Maikon dos Santos e Silva, Silvio Roberto Fernandes de Araujo

Processamento Digital de Imagens (PDI) pode ser definido como qualquer forma de processamento de dados na qual a entrada e saída são imagens. As principais etapas do PDI são formação e aquisição da imagem, digitalização da imagem, pré-processamento, segmentação, pós-processamento, extração de atributos, classificação e reconhecimento. O pré-processamento serve para eliminar possíveis ruídos ou informações desnecessárias nas etapas seguintes. Em diversas aplicações a conversão de imagens em tons de cinza é muito usada como pré-processamento. Dessa forma, desenvolver uma solução robusta de conversão em escala de cinza, é essencial para um alto desempenho em PDI, caso contrário há um gargalo que pode comprometer todo o restante da aplicação. Dessa forma, propomos o desenvolvimento de uma acelerador de escala de cinza em um *hardware* reconfigurável do tipo FPGA, o qual permite soluções paralelas (alto desempenho) com grande eficiência energética. Para realizar sua implementação foi utilizada a placa *Ultra96*, que contém um SoC(*System on Chip*) com um processador e FPGA, e compatível com framework PYNQ, que permite fácil comunicação de uma aplicação em Python (executando no processador) e qualquer acelerador que esteja no FPGA. Para implementação foi escolhido o algoritmo de luminância, que transforma os pixels da imagem no formato RGB (*Red, Green, Blue*) no formato YIQ. Esse algoritmo foi implementado em duas versões inteiramente em *software* (uma sequencial e uma paralela) e uma versão que utiliza o acelerador em *hardware*. Inicialmente comparamos as imagens em tons de cinza gerada por todas as versões utilizando a métrica *Mean Square Error* (*MSE*), que realiza a comparação entre as imagens e retorna um valor, o qual quão mais próximo de zero for mais semelhantes as imagens comparadas são. O MSE mostrou que as imagens são tão semelhantes que podemos considerar idênticas. Em seguida comparamos o tempo de execução das 3 versões, para isso cada uma delas converteu uma mesma imagem em 3 resoluções diferentes. O cálculo do tempo de execução corresponde à média de 10 execuções para cada resolução de cada implementação, com desvio padrão variando de 0,03 a 0,0006. Comparando as 3 versões, em todas as resoluções de imagem o desempenho, em tempo de execução, melhorou na seguinte ordem: software-sequencial, software-paralelo e acelerador-hardware. E a aceleração do *hardware* aumenta com o tamanho das resoluções, sendo até 6,99 vezes mais rápido que SW-paralelo e até 183 vezes mais rápido que o SW-sequencial. Trabalhos futuros incluem aumento do paralelismo do acelerador e integrá-lo ao outras etapas de PDI em *hardware* para aceleração de algoritmos mais complexos. O trabalho desenvolvido na bolsa também resultou no artigo “GrayScaleAccel: Acelerador de Escala de Cinza em FPGA”, aceito no WSCAD-WIC 2020.

**Palavras-chave:** FPGA, Arquitetura, heterogênea, SoC, Desempenho

**Agência financiadora:** Bolsista IC PIBIC - CNPq